



(19)

(11) Publication number:

60124941 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 58234010

(51) Intl. Cl.: H01L 21/302

(22) Application date: 12.12.83

(30) Priority:

(43) Date of application  
publication: 04.07.85(84) Designated  
contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: FUJITA HIROSHI

(74) Representative:

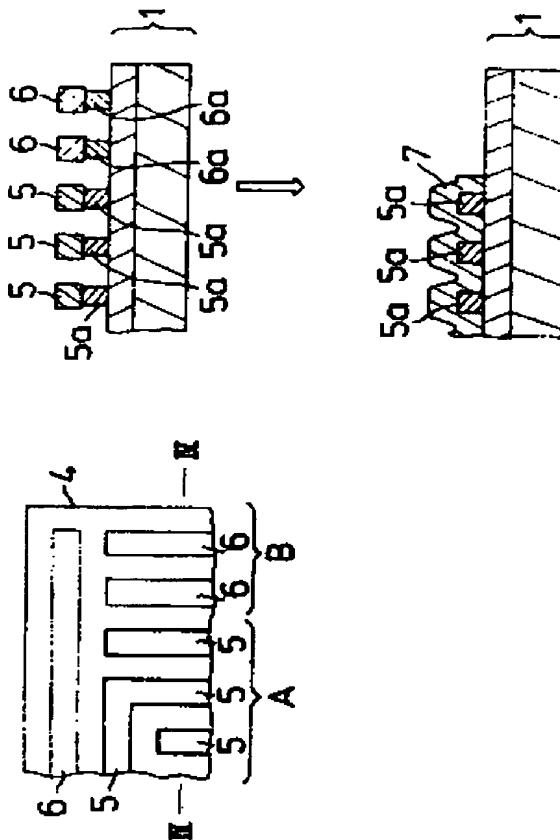
(54) MANUFACTURE OF  
INTEGRATED CIRCUIT

(57) Abstract:

**PURPOSE:** To improve the characteristics and the yield of IC's by reducing the amount of side etching and its variation by a method wherein the first plasma etching is performed to the surface of a polycrystalline layer deposited on a semiconductor substrate, thus forming polycrystalline wirings over the whole region of the surface; and unnecessary parts of them are removed by the second plasma etching.

**CONSTITUTION:** The polycrystalline layer is deposited on the surface of the semiconductor substrate 1, and a photo mask having a polycrystalline wiring region A and a dummy wiring region B positioned at the part other than this region is provided on the surface. Next, wiring photo resist patterns 5 and dummy wiring photo resist patterns 6 are formed on the surface of the polycrystalline layer by means of the mask. At this time, the total extension of the patterns 6 are made as long as possible.

Thereafter, polycrystalline patterns 5a and 6a of the regions A and B are simultaneously formed by the first plasma etching; the region A is covered with the second photo mask, the second photo resist pattern 7 being provided, and the wirings 6a of the region B being removed by the second etching.



COPYRIGHT: (C)1985,JPO&amp;Japio

## ⑫ 公開特許公報(A)

昭60-124941

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)7月4日

H 01 L 21/302

J-8223-5F

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 集積回路の製造法

⑯ 特 願 昭58-234010

⑰ 出 願 昭58(1983)12月12日

⑱ 発 明 者 富 士 田 廣 志 川崎市幸区堀川町72番地 東京芝浦電気株式会社堀川町工場内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 菊 池 五 郎

## 明 細 書

## 1. 発明の名称

集積回路の製造法

## 2. 特許請求の範囲

半導体基板上に堆積した半導体多結晶層表面に第1のプラズマエッチングにより、表面全領域に半導体多結晶配線を形成し、第2のプラズマエッチングにより前記半導体多結晶配線中の不要のものを除去することを特徴とする集積回路の製造法。

## 3. 発明の詳細な説明

## 〔発明の技術分野〕

本発明は集積回路の製造法に係る。

## 〔発明の技術的背景とその問題点〕

従来、集積回路の構成素子として必要な半導体多結晶配線を形成するには、半導体基板1上に半導体多結晶層を堆積させ、第1図に示すようにその表面に転写技術によりフォトリソistパターン2を形成し、これを耐エッチングマスク層としてプラズマエッチングを行って、半導体多結晶層を選択的にエッチングしている。第2図はエッチ

グ後の第1図Ⅱ-Ⅱ線における断面図で、この図中、3は形成された半導体多結晶配線を示している。

プラズマエッチング(ケミカルドライエッチング)は、通常エッチャント供給律条件でエッチングするため、被エッチング層の面積により実効エッチング速度が異なり、面積が小さい程エッチング速度は速いである。

また、プラズマエッチングは等方性エッチングであるため、フォトリソist等の耐エッチング層の下方にもサイドエッチングが進行する。而してジャストエッチ後は実効エッチング面積が大きく減少するので、サイドエッチングの速度は大きくなる。

従って、フォトリソistパターンの形状によってエッチング速度が左右されることとなり、「半導体多結晶配線面積/チップ面積」た小さいパターンで、「半導体多結晶配線周辺長/チップ面積」が小さいパターン程、半導体多結晶層の厚さ方向のエッチング速度は小さく、サイドエッチング速

度が大きいので、オーバエッチング時のサイドエッチング量は大きくなり、またサイドエッチング量の精密制御は困難である。

そのため、半導体多結晶配線3はパターンより細くなり、集積回路の特性、歩留り低下の原因となっている。なお、第1図中4はチップ境界を示す。

#### [発明の目的]

本発明は上記の事情に基きなされたもので、フォトレジストパターンと、これを耐エッチングマスクとしてプラズマエッチングにより形成した半導体多結晶配線との寸法変換差を減少させ得ると共に、そのバラツキも小さくできる集積回路の製造法を得ることを目的とする。

#### [発明の概要]

本発明の集積回路の製造法は、半導体基板上に堆積した半導体多結晶層表面に第1のプラズマエッチングにより、表面全領域に半導体多結晶配線を形成し、第2のプラズマエッチングにより前記半導体多結晶配線中の不要のものを除去することを

特徴とする。

#### [発明の実施例]

本発明の製造法にあつては、まず半導体基板1表面に半導体多結晶層を形成し、第3図に示すようにその表面に半導体多結晶配線パターン領域Aと、この領域外に配置したダミー配線領域Bとを有する第1のフォトリソマスクを用意し、これにより半導体多結晶層表面に配線フォトレジストパターン5、ダミー配線フォトレジストパターン6を形成する。なお、ダミー配線の総延長はできるだけ長くなるようにする。

上記のようにフォトレジストパターンを形成した後、第1のプラズマエッチングにより、第4図に示すように領域A、Bの半導体多結晶パターン5a、6aを同時に形成する。

次に、第2のフォトリソマスクにより領域Aをおおって第2のフォトレジストパターン7を形成し、第2のプラズマエッチングにより領域Bのダミー配線6aを除去する。

上記の本発明によれば、ダミー配線領域の附加

により、第1のプラズマエッチング時の実効エッチング面積が減少し、またジャストエッチング後の実効エッチング面積が増加する。従って、プラズマエッチングの面積効果により、ジャストエッチングまでのエッチング速度は大きくなり、ジャストエッチング後のサイドエッチング速度は小となるので、同一オーバエッチングに対するサイドエッチング量は減少し、またそのバラツキも小となる。

#### [発明の効果]

上記のように、サイドエッチング量およびそのバラツキが減少させられるので、集積回路の特性、その歩留りの向上をはかることができる。

#### 4. 図面の簡単な説明

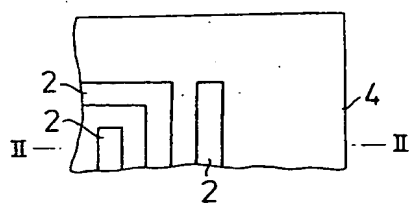
第1図は従来の製造法の平面図、第2図は第1図II-II線における断面図、第3図は本発明一実施例の第1のプラズマエッチング用のフォトレジストパターンの平面図、第4図は第3図IV-IV線における第1のプラズマエッチング後の断面図、第5図は第2のプラズマエッチング用のフォトレジ

ストパターンの平面図、第6図は第5図VI-VI線における第2のプラズマエッチング後の断面図である。

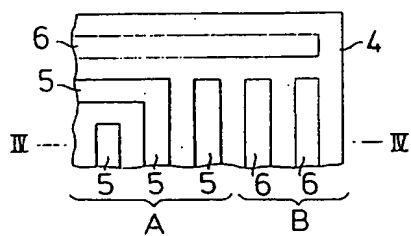
- 1 … 半導体基板
- 4 … チップ境界
- 5, 6, 7 … フォトレジストパターン
- 5a … 半導体多結晶配線
- 6a … ダミー配線

出願代理人 弁理士 菊池 五郎

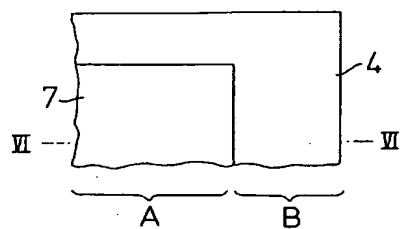
第 1 図



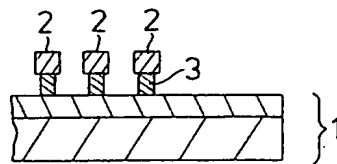
第 3 図



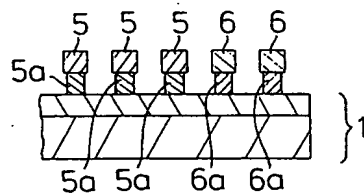
第 5 図



第 2 図



第 4 図



第 6 図

